

Publication No. 2002-215101

Date of Publication: July 31, 2002

Application No. 2001-005542

Date of Filing: January 12, 2001

Applicant: Seiko Epson Corp.

Inventor: Akira Inoue, et al.

[Title of the Invention]

Method and Circuit for Driving Electro-optical Device, Electro-optical Device, and Electronic Equipment

[Summary]

The invention describes the display device with a power saving mode, that is, the device is provided with a system for stopping the power supply of the electricity when no data is inputted.

Conventional LC displays requires analog levels adjustments, such as voltage adjustment, in order to control persistence of visions, which causes to the cost increase. The invention is provides to a method of controlling the persistence of vision that does not involve the analog level adjustment. After dividing one frame into a plurality of sub-fields FSF0 to FSF3, the ON-OFF control is performed per sub-fields. Gradation data D0 to D2 to be inputted and other gradation data D0' to D2' inputted prior to one frame are provided to a lookup table 352 as address information. Conversion data DF0 to DF2 presenting a ON or OFF state of each sub-field is read out from the lookup table 352. The conversion data DF0 to DF2 has been set to a value for controlling the persistence of vision on the LC display. (See Abstract)

Paragraph [0052] describes as follows:

[0052] The mobile type computer, when a user doesn't use a keyboard 1202 and the like for a specific time, the computer changes to the power-saving mode. The display unit 1206 performs the power saving display, such as displaying a message "POWER SAVE". In case of such displaying, it is not necessary to increase the

gradient. When the mobile style computer is controlled under a device driver (software), a gradient selection signal designating the gradient "2", for example, is given to a holding circuit 240.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-215101
(P2002-215101A)

(43) 公開日 平成14年7月31日 (2002.7.31)

(51) IntCl. ⁷	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5 5 C 0 0 6
G 0 9 G 3/20	6 3 1	G 0 9 G 3/20	6 3 1 H 5 C 0 8 0
	6 4 1		6 4 1 E
			6 4 1 R

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2001-5542(P2001-5542)

(22) 出願日 平成13年1月12日 (2001.1.12)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 伊藤 昭彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

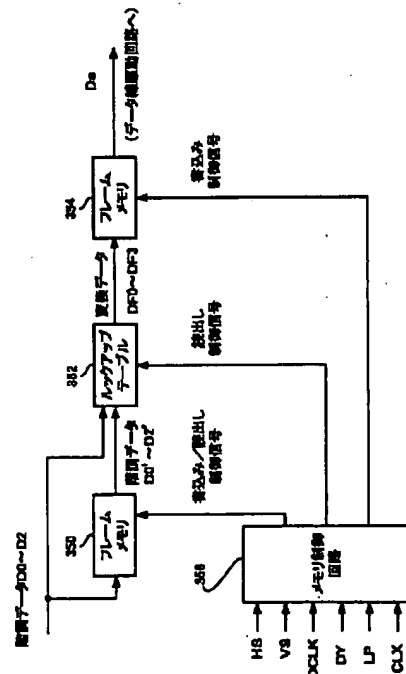
最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動方法、電気光学装置の駆動回路、電気光学装置および電子機器

(57) 【要約】

【課題】 液晶ディスプレイ等の残像現象を抑制するため、従来は電圧等アナログレベルの調整を行う必要があり、コスト高を招致していた。そこで、アナログレベルの調整を不要にしつつ残像現象を抑制する方法を提供する。

【解決手段】 まず、1フレームを複数のサブフィールドSF0～SF3に分割し、各サブフィールド毎にオンオフ制御を行うこととした。入力される階調データD0～D2と、1フレーム前に入力された階調データD0'～D2'とはルックアップテーブル352にアドレス情報として供給され、ルックアップテーブル352から各サブフィールドのオン/オフ状態である変換データDF0～DF3が読み出される。この変換データDF0～DF3は、対象となる液晶ディスプレイに対して残像現象を抑制するような値に予め設定されている。



【特許請求の範囲】

【請求項1】 1フレームを複数のサブフィールドに分割し、マトリクス状に配設された複数の画素をオン状態またはオフ状態に設定することによって階調表示を行う電気光学装置の駆動方法であって、
入力された第1の階調データを遅延させ第2の階調データを出力する過程と、
前記第1および第2の階調データの関係に基づいて、前記各サブフィールド毎のオンまたはオフ状態を規定する変換データを出力する過程とを有することを特徴とする電気光学装置の駆動方法。

【請求項2】 前記複数のサブフィールドは、
前記画素に印加する電圧実効値に対して前記画素が階調特性を呈するようになる閾値電圧 V_{th} を前記画素に与える長さに設定された第1のサブフィールドと、
前記第1の階調データの最下位ビットに対応して該電圧実効値の増減の変化を与える長さに設定された第2のサブフィールドと、
前記第1の階調データの最上位ビットに対応して該電圧実効値の増減の変化を与える長さに設定された第3のサブフィールドとから構成され、前記第1および第2の階調データが等しい場合は前記第1のサブフィールドは常にオン状態に設定され、前記第1および第2の階調データが異なる場合は前記第1のサブフィールドがオフ状態に設定され得ることを特徴とする請求項1記載の電気光学装置の駆動方法。

【請求項3】 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との間を導通させるスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、

1フレームを分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給する走査線駆動回路と、
入力された第1の階調データを遅延させ第2の階調データを出力する遅延手段と、

前記第1および第2の階調データが供給されると、該第1および第2の階調データに対応して前記各サブフィールド毎のオンまたはオフ情報を出力する変換手段と、
前記オンまたはオフ情報に基づくデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と、

を具備することを特徴とする電気光学装置の駆動回路。

【請求項4】 複数の走査線と、複数のデータ線と、これら走査線およびデータ線の各交差に対応して配設され画素を構成する画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子とを備えた素子基板と、

前記画素電極に対して対向配置された対向電極を備える対向基板と、

前記素子基板と前記対向基板との間に挟持された電気光学材料と、

1フレームを分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給する走査線駆動回路と、
入力された第1の階調データを遅延させ第2の階調データを出力する遅延手段と、

前記第1および第2の階調データが供給されると、該第1および第2の階調データに対応して前記各サブフィールド毎のオンまたはオフ情報を出力する変換手段と、
前記オンまたはオフ情報に基づくデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と、

を具備することを特徴とする電気光学装置。

【請求項5】 請求項4記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学装置の駆動に用いて好適な電気光学装置の駆動方法、電気光学装置の駆動回路、電気光学装置および電子機器に関する。

【0002】

【背景技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。

【0003】そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変化することになる。このため、階調表示することが可能となるのである。

【0004】この際、各画素の液晶層に電荷を蓄積させ

るのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線を選択期間において、データ線駆動回路によって、データ線を順次選択し、第3に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0005】ところで、液晶表示装置においては、液晶の立上がり速度が遅いため、電圧を印加した後に所定の透過量になるまで2〜3フレーム程度の時間を要し、画像に残像が現れるという問題があった。すなわち、画素に印加している電圧に対して液晶の透過率の変化が追従しないため、表示画面が変化した場合、変化前の画像が薄く現れる。この現象は一定速度以上の速さで画像に動きがあるときに出現し、画像品位を著しく悪化させる。

【0006】従来より、画素に印加する電圧を調整することによって、この残像現象を防止する技術が知られている（例えば特許第2553713号）。この技術によれば、画素に印加する電圧は本来は階調データに応じて一意に定められるが、前フレームの階調データに応じて、現フレームの画素に印加する電圧を増減することによって、階調データに対する透過率の追従性を高めようとするものである。

【0007】

【発明が解決しようとする課題】しかし、従来の技術によれば、残像現象を抑制するためにデータ線に印加される信号の電圧すなわちアナログレベルを調整する必要がある。かかる調整を行うためには、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。くわえて、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。さらに、液晶等の電気光学物質において、残像現象の現れる態様は、電気光学物質の種類に応じて相違する。このため、電気光学装置を駆動する駆動回路としては、各種の電気光学装置に対応できる汎用のものが望まれる。

【0008】この発明は上述した事情に鑑みてなされたものであり、残像現象を抑制するにあたって電圧等、アナログレベルの調整を不要とするとともに、様々な電気光学物質に対応できるよう汎用性の高い電気光学装置の駆動方法、電気光学装置の駆動回路、電気光学装置および電子機器を提供することを目的としている。

【0009】

【課題を解決するための手段】上記課題を解決するため本発明にあつては、下記構成を具備することを特徴とする。なお、括弧内は例示である。請求項1記載の構成に

あつては、1フレームを複数のサブフィールドに分割し、マトリクス状に配設された複数の画素をオン状態またはオフ状態に設定することによって階調表示を行う電気光学装置の駆動方法であつて、入力された第1の階調データ(D0〜D2)を遅延させ第2の階調データ(D0'〜D2')を出力する過程と、前記第1および第2の階調データの関係に基づいて、前記各サブフィールド毎のオンまたはオフ状態を規定する変換データ(DF0〜DF3)を出力する過程とを有することを特徴とする。さらに、請求項2記載の構成にあつては、請求項1記載の電気光学装置の駆動方法において、前記複数のサブフィールドは、前記画素に印加する電圧実効値に対して前記画素が階調特性を呈するようになる(透過率が立ち上がる)閾値電圧Vthを前記画素に与える長さに設定された第1のサブフィールド(SF0)と、前記第1の階調データの最下位ビットに対応して該電圧実効値の増減の変化を与える長さに設定された第2のサブフィールド(SF1)と、前記第1の階調データの最上位ビットに対応して該電圧実効値の増減の変化を与える長さに設定された第3のサブフィールド(SF3)とから構成され、前記第1および第2の階調データが等しい場合は前記第1のサブフィールドは常にオン状態に設定され、前記第1および第2の階調データが異なる場合は前記第1のサブフィールドがオフ状態に設定され得ることを特徴とする。また、請求項3記載の構成にあつては、複数の走査線(112)と複数のデータ線(114)との各交差に対応して配設された画素電極(118)と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との間を導通させるスイッチング素子(116)とからなる画素を駆動する電気光学装置の駆動回路であつて、1フレームを分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給する走査線駆動回路(130)と、入力された第1の階調データを遅延させ第2の階調データを出力する遅延手段(フレームメモリ350)と、前記第1および第2の階調データが供給されると、該第1および第2の階調データに対応して前記各サブフィールド毎のオンまたはオフ情報を出力する変換手段(ルックアップテーブル352)と、前記オンまたはオフ情報に基づくデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路(140)と、を具備することを特徴とする。また、請求項4記載の構成にあつては、複数の走査線(112)と、複数のデータ線(114)と、これら走査線およびデータ線の各交差に対応して配設され画素を構成する画素電極(118)と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子とを備えた素子基板(101)と、前記画素電極に対して

対向配置された対向電極を備える対向基板と、前記素子基板と前記対向基板との間に挟持された電気光学材料（液晶105）と、1フレームを分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給する走査線駆動回路（130）と、入力された第1の階調データを遅延させ第2の階調データを出力する遅延手段と、前記第1および第2の階調データが供給されると、該第1および第2の階調データに対応して前記各サブフィールド毎のオンまたはオフ情報を出力する変換手段と、前記オンまたはオフ情報に基づくデータ信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路（140）と、を具備することを特徴とする。また、請求項5記載の構成にあっては、請求項4記載の電気光学装置を備えることを特徴とする。

【0010】

【発明の実施の形態】1. 実施形態の構成

次に、本発明の一実施形態の電気光学装置の構成を図1を参照し説明する。図において、タイミング信号生成回路200には、図示せぬ上位装置から垂直同期信号Vs、水平同期信号Hsおよび入力階調データD0～D2のドットクロック信号DCLKが供給される。また、発振回路150は、読み出しタイミングの基本クロックRCLKをタイミング信号生成回路200に供給する。タイミング信号生成回路200は、これらの信号にしたがって、次に説明する各種のタイミング信号やクロック信号などを生成するものである。まず、交流化信号FRは、1フレーム毎に極性反転する信号である。

【0011】駆動信号LCOMは、対向基板の対向電極に印加される信号であり、本実施形態においては一定電位（零電位）になる。また、本実施形態においては、1フレームが複数のサブフィールドSF0～SF3に分割され、画素がサブフィールド毎にオンオフされることによって階調表示が行われる。スタートパルスDYは、これらサブフィールドにおいて最初に出力されるパルス信号である。

【0012】ここで、サブフィールド駆動の概要を、図7のスタートパルスDYの波形を参照しつつ説明しておく。まず、フレームの最初にサブフィールドSF0が設けられる。このサブフィールドの長さは、液晶の透過率が0%（ノーマリーブラックの場合）から立ち上がる境界となる長さに設定される。すなわち、画素に印加する電圧実効値を零電圧から徐々に上昇させると、最初は透過率に変化が見られないが、電圧実効値がある閾値電圧Vthに達した時から電圧実効値に応じて透過率が上昇するようになる。1フレーム内でこの閾値電圧Vthを与える長さがサブフィールドSF0の長さに設定される。

【0013】また、サブフィールドSF1、SF2、SF3は、入力階調データD0～D2の各ビットに対応した重み付けを有する長さに設定されている。すなわち、

サブフィールドSF1は、最下位ビットである階調データD0に対応し、そのオンオフによって、階調データD0のオンオフに対応する透過率の変化を起こす長さに設定されている。サブフィールドSF2、SF3も、それぞれのオンオフによって階調データD1、D2のオンオフに対応する透過率の変化を起こす長さに設定されている。すなわち、サブフィールドSF2、SF3は、各々サブフィールドSF1の2倍、4倍程度の長さを有している。

【0014】図1に戻り、クロック信号CLYは、走査側（Y側）の水平走査期間を規定する信号である。ラッチパルスLPは、水平走査期間の最初に出力されるパルス信号であって、クロック信号CLYのレベル遷移（すなわち、立ち上がりおよび立ち下がり）時に出力されるものである。クロック信号CLXは、表示用のドットクロック信号である。

【0015】一方、素子基板101上における表示領域101aには、図においてX（行）方向に延在して複数本の走査線112が形成されている。また、複数本のデータ線114が、Y（列）方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列されている。ここで、説明の便宜上、本実施形態では、走査線112の総本数をm本とし、データ線114の総本数をn本として（m、nはそれぞれ2以上の整数）、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0016】1. 1. <画素の構成>

画素110の具体的な構成としては、例えば、図2（a）に示されるものが挙げられる。この構成では、トランジスタ（MOS型FET）116のゲートが走査線112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されて液晶層が形成されている。ここで、対向電極108は、後述するように、実際には画素電極118と対向するように対向基板に一面に形成される透明電極である。また、画素電極118と対向電極108との間においては蓄積容量119が形成されて、液晶層に蓄積される電荷のリークを防止している。なお、この実施形態では、蓄積容量119を画素電極118と対向電極108の間に形成したが、画素電極118と接地電位GND間や画素電極118とゲート線間等に形成しても良い。

【0017】ここで、図2（a）に示される構成では、トランジスタ116として一方のチャネル型のみが用いられているために、オフセット電圧が必要となるが、図2（b）に示されるように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせる構成とすれば、オフセット電圧の影響をキャンセルする

ことができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1行の画素110に対して走査線112a, 112bの2本の走査線が必要となる。

【0018】1. 2. <走査線駆動回路130>
説明を再び図1に戻す。走査線駆動回路130は、サブフィールドの最初に供給されるスタートパルスDYをクロック信号CLYにしたがって転送し、走査線112の各々に走査信号G1, G2, G3, ..., Gmとして順次排他的に供給するものである。

【0019】1. 3. <データ変換回路300>
データ変換回路300は、ドットクロック信号DCLKに同期して入力される入力階調データD0~D2を、クロック信号CLXに同期する二値信号Dsに変換し出力するものである。ここで、データ変換回路300の詳細構成を図3を参照し説明する。図において350はフレームメモリであり、階調データD0~D2を1フレーム分だけ記憶する。352はルックアップテーブルであり、現在供給されている階調データD0~D2と、フレームメモリ350から読み出された階調データD0'~D2'とに基づいて、変換データDF0~DF3を出力する。

【0020】すなわち、階調データD0~D2およびD0'~D2'は、合計6ビットの読出しアドレス信号としてルックアップテーブル352に供給され、該アドレスに予め記憶されているデータが変換データDF0~DF3になる。ここで、変換データDF0~DF3は、各々サブフィールドSF0~SF3のオンオフ状態を指定するものであり、例えば図5に示すように設定される。なお、図5において“1”はHレベル（オン状態）であり、“0”はLレベル（オフ状態）である。

【0021】354は他のフレームメモリであり、上記変換データDF0~DF3が書き込まれる。フレームメモリ354はサブフィールド数に応じた4個のメモリブロックから構成されており、各々変換データDF0~DF3を記憶するために、素子基板101の表示領域（m行×n列）に対応して各々m×nビットのメモリ空間を有する。各メモリブロックは、書込みおよび読出し動作を非同期に、かつ独立して実行できるように構成されている。

【0022】356はメモリ制御回路であり、上記水平同期信号Hs、垂直同期信号Vs、ドットクロック信号DCLK、スタートパルスDY、ラッチパルスLPおよびクロック信号CLXに基づいて、上記構成要素350~354に対する制御信号を出力する。まず、メモリ制御回路356は、フレームメモリ350に対して、階調データD0~D2を循環的に書き込むような書込み制御信号（アドレス信号およびイネーブル信号）を供給するとともに、1フレーム前に書き込まれた階調データD0~D2を読み出すような読出し制御信号（アドレス信号

およびイネーブル信号）をフレームメモリ350に供給する。これにより、フレームメモリ350から読み出される階調データD0'~D2'は、1フレーム前の階調データD0~D2に等しくなる。

【0023】また、メモリ制御回路356は、階調データD0~D2およびD0'~D2'が安定するタイミングでルックアップテーブル352が読み出されるように、読出しイネーブル信号をルックアップテーブル352に供給する。これにより、上述したように、メモリ制御回路356から変換データDF0~DF3が読み出される。

【0024】また、メモリ制御回路356は、変換データDF0~DF3が安定するタイミングでこれらを循環的に書き込むように、フレームメモリ354に対して書込み制御信号を供給する。これにより、フレームメモリ354の各メモリブロックには、変換データDF0~DF3が順次記憶される。

【0025】また、各サブフィールドSF0~SF3に対応する期間においては、メモリ制御回路356から対応するメモリブロックに対して、各表示行のビットデータをアクセスする読出し制御信号が供給される。これにより、1フレーム内において、m行×n列の変換データDF0、m行×n列の変換データDF1、m行×n列の変換データDF2およびm行×n列の変換データDF3が順次読み出され、読み出された変換データは二値信号Dsとしてデータ線駆動回路140に供給される。

【0026】1. 4. <データ線駆動回路140>
次に、データ線駆動回路140は、ある水平走査期間において二値信号Dsをデータ線114の本数に相当するn個順次ラッチした後、ラッチしたn個の二値信号Dsを、次の水平走査期間において、電位選択回路1440を介して、それぞれ対応するデータ線114にデータ信号d1, d2, d3, ..., dnとして一斉に供給するものである。ここで、データ線駆動回路140の具体的な構成は、図4に示される通りである。すなわち、データ線駆動回路140は、Xシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430と、電位選択回路1440とから構成されている。

【0027】このうちXシフトレジスタ1410は、水平走査期間の最初に供給されるラッチパルスLPをクロック信号CLXにしたがって転送し、ラッチ信号S1, S2, S3, ..., Snとして順次排他的に供給するものである。次に、第1のラッチ回路1420は、二値信号Dsをラッチ信号S1, S2, S3, ..., Snの立ち下がりにおいて順次ラッチするものである。そして、第2のラッチ回路1430は、第1のラッチ回路1420によりラッチされた二値信号Dsの各々をラッチパルスLPの立ち下がりにおいて一斉にラッチし、電位選択回路1440に転送する。

【0028】電位選択回路1440は、交流化信号FR

に基づいてこれらのラッチした二値信号を電位に変換し、データ信号 $d1, d2, d3, \dots, dn$ としてデータ線 114 に印加するものである。すなわち、交流化信号 FR が L レベルであれば、データ信号 $d1, d2, d3, \dots, dn$ の H レベルは電位 $V1$ に、L レベルは零電位に変換される。一方、交流化信号 FR が H レベルであれば、データ信号 $d1, d2, d3, \dots, dn$ の H レベルは電位 $-V1$ に、L レベルは零電位に変換される。

【0029】1. 5. <液晶装置の構成>

上述した電気光学装置の構造について、図 6 (a), (b) を参照して説明する。ここで、同図 (a) は、電気光学装置 100 の構成を示す平面図であり、同図 (b) は、同図 (a) における A-A' 線の断面図である。これらの図に示されるように、電気光学装置 100 は、画素電極 118 などが形成された素子基板 101 と、対向電極 108 などが形成された対向基板 102 とが、互いにシール材 104 によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶 105 が挟持された構造となっている。なお、実際には、シール材 104 には切欠部分があって、ここを介して液晶 105 が封入された後、封止材により封止されるが、これらの図においては省略されている。ここで、素子基板 101 および対向基板 102 はガラスや石英などの非晶質基板である。そして、画素電極 118 等は、素子基板 101 に半導体薄膜を堆積して成る TFT によって形成されている。すなわち、電気光学装置 100 は、透過型として用いられることになる。

【0030】さて、素子基板 101 において、シール材 104 の内側かつ表示領域 101a の外側領域には、遮光膜 106 が設けられている。この遮光膜 106 が形成される領域内のうち、領域 130a には走査線駆動回路 130 が形成され、また領域 140a にはデータ線駆動回路 140 が形成されている。すなわち、遮光膜 106 は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜 106 には、対向電極 108 とともに、駆動信号 LCOM が印加される構成となっている。このため、遮光膜 106 が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極 118 の電圧無印加状態と同じ表示状態となる。

【0031】また、素子基板 101 において、データ線駆動回路 140 が形成される領域 140a 外側であって、シール材 104 を隔てた領域 107 には、複数の接続端子が形成されて、外側からの制御信号や電源などを入力する構成となっている。一方、対向基板 102 の対向電極 108 は、基板貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材（図示省略）によって、素子基板 101 における遮光膜 106 および接続端子と電気的な導通が図られている。すなわち、駆動信号 LCOM は、素子基板 101 に設けられた接続端子を介して、遮光膜 106 に、さらに、導通材を介して

対向電極 108 に、それぞれ印加される構成となっている。

【0032】ほかに、対向基板 102 には、電気光学装置 100 の用途に応じて、例えば、直視型であれば、第 1 に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置 100 に光を対向基板 102 側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板 101 および対向基板 102 の電極形成面には、それぞれ所定の方にラビング処理された配向膜（図示省略）など設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板 102 の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶 105 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有効である。

【0033】2. 実施形態の動作

次に、上述した実施形態に係る電気光学装置の動作について説明する。図 7 は、この電気光学装置の動作を説明するためのタイミングチャートである。まず、交流化信号 FR は、1 フレーム (1 F) ごとに極性反転する信号である。一方、スタートパルス DY は、各サブフィールドの開始時に供給される。

【0034】ここで、交流化信号 FR が L レベルとなる 1 フレーム (1 F) において、スタートパルス DY が供給されると、走査線駆動回路 130（図 1 参照）におけるクロック信号 CLY にしたがった転送によって、走査信号 $G1, G2, G3, \dots, Gm$ が期間 (t) に順次排他的に出力される。なお、期間 (t) は、最も短いサブフィールド SF1 よりもさらに短い期間に設定されている。

【0035】さて走査信号 $G1, G2, G3, \dots, Gm$ は、それぞれクロック信号 CLY の半周期に相当するパルス幅を有し、また、上から数えて 1 本目の走査線 112 に対応する走査信号 $G1$ は、スタートパルス DY が供給された後、クロック信号 CLY が最初に立ち上がってから、少なくともクロック信号 CLY の半周期だけ遅延して出力される構成となっている。したがって、スタートパルス DY が供給されてから、走査信号 $G1$ が出力されるまでに、ラッチパルス LP の 1 ショット ($G0$) がデータ線駆動回路 140 に供給されることになる。

【0036】そこで、このラッチパルス LP の 1 ショット ($G0$) が供給された場合について検討してみる。まず、このラッチパルス LP の 1 ショット ($G0$) がデータ線駆動回路 140 に供給されると、データ線駆動回路

140 (図4参照)におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1, S2, S3, ..., S_nが水平走査期間(1H)に順次排他的に出力される。なお、ラッチ信号S1, S2, S3, ..., S_nは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

【0037】この際、図4における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への二値信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への二値信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110への二値信号Dsをラッチする。

【0038】これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の二値信号Dsが、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データD0~D2を二値信号Dsに変換して出力することはいうまでもない。

【0039】次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1のラッチ回路1420によって点順次的にラッチされた二値信号Dsを、電位選択回路1440を介して、対応するデータ線114の各々にデータ信号d1, d2, d3, ..., dnとして一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1, d2, d3, ..., dnの書込が同時に行われることとなる。

【0040】この書込と並行して、図1において上から2本目の走査線112との交差に対応する画素1行分の二値信号Dsが、第1のラッチ回路1420により点順次的にラッチされる。そして、以降同様な動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。すなわち、ある走査信号Gi (iは、1 ≤ i ≤ mを満たす整数)が出力される1水平走査期間(1H)においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1, d2, d3, ..., dnの書込と、(i+1)本目の走査線112に対応する画素110の1行分に対する二値信号Dsの点順次的なラッチとが並行して行われることになる。な

お、画素110に書き込まれたデータ信号は、次のサブフィールドSF2における書込まで保持される。

【0041】以下同様な動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。さらに、1フレーム経過後、交流化信号FRがHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。

【0042】ここで、一例として、ある画素において階調データD2~D0が“000”から“010”に立上がった場合、および“010”から“000”に立下がった場合を想定して、具体的な動作を説明する。まず、階調データD2~D0が“000”である期間が連続していたならば、図5において階調データD2~D0は“000”であり、1フレーム前の階調データD2'~D0'も“000”である。この場合、図5の左欄1行目に示すように、ルックアップテーブル352から読み出される変換データDF0~DF3は“1000”である。すなわち、透過率が0%から立ち上がる境界となる期間に相当するサブフィールドSF0のみがオン状態になるため、当該画素について液晶の透過率は0%になる。

【0043】また、階調データD2~D0が“010”である期間が連続していたならば、同図左欄19行目に示すように、変換データDF0~DF3は“1010”である。すなわち、上記サブフィールドSF0に加えて、階調データD1に対応するサブフィールドSF2がオン状態に設定されるから、透過率は2/7 ≈ 29%に設定される。

【0044】ここで、階調データD2~D0が“000”から“010”に立ち上がった瞬間を想定してみる。すなわち、階調データD2~D0は“010”であり、1フレーム前の階調データD2'~D0'は“000”である。この場合、同図左欄3行目に示すように、変換データDF0~DF3は“1110”であり、サブフィールドSF0, SF2に加えてサブフィールドSF1もオン状態に設定されることが解る。

【0045】換言すれば、階調データD0~D2が“000”から“010”に立ち上がった瞬間においては、階調データに対応した本来の各サブフィールドのオンオフ状態と比較して、オン状態になる期間が長く設定されることになる。これにより、透過率の立上がりを促進し、より迅速に本来の透過率に収束させることが可能になるのである。

【0046】次に、階調データD0~D2が“010”から“000”に立ち下がった瞬間を想定してみる。この場合、階調データD2~D0は“000”であり階調データD2'~D0'は“010”であるから、図5左欄17行目に示すように、変換データDF0~DF3は“0000”になり、全てのサブフィールドがオフ状態に設定される。ここで着目すべきことは、サブフィール

ドSF0もオフ状態に設定されることである。サブフィールドSF0は、本来は階調データに拘らずオン状態に設定されるサブフィールドであるが、透過率の立下りを促進し、より迅速に本来の透過率(0%)に収束させるために、オフ状態に設定したものである。

【0047】なお、図5に示すルックアップテーブル352の内容は、事前に(工場出荷前に)サブフィールドSF0~SF3のオンまたはオフ状態を様々に変化させて液晶の透過率を測定し、階調データD0~D2およびD0'~D2'に対応して所望の透過率が得られるように設定しておくこととよい。

【0048】3. 電子機器の具体例

3. 1. <プロジェクタ>

次に、上述した電気光学装置を具体的な電子機器に用いた例のいくつかについて説明する。まず、上記実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図8(a)は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置されている。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレートレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほぼ揃った一種類の偏光光束(s偏光光束)に変換されて、偏光照明装置1110から出射されることとなる。

【0049】さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光(B)の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光(R)の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光(G)の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

【0050】このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光学装置100R、100Bおよび100Gには、ダイク

ロイックミラー1151、1152によって、R、G、Bの各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0051】3. 2. <モバイル型コンピュータ>

次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図8(b)は、このパーソナルコンピュータの構成を示す正面図である。図において、モバイル型コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0052】モバイル型コンピュータにおいては、ユーザがキーボード1202等を一定時間操作しなかった場合は、省電力モードに移行する。この場合、表示ユニット1206には「POWER SAVE」のような省電力表示が行われる。かかる表示を行う場合には階調数を高くする必要が無いため、モバイル型コンピュータにおいて動作するデバイスドライバ(ソフトウェア)の制御の下、例えば階調数「2」を指定する階調数選択信号が保持回路240に供給される。

【0053】3. 3. <携帯電話器>

さらに、上記電気光学装置を、携帯電話器に適用した例について説明する。図8(c)は、この携帯電話器の構成を示す斜視図である。図において、携帯電話器1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

【0054】3. 4. <その他>

電子機器としては、以上説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、上述した電気光学装置が適用可能なのは言うまでもない。

【0055】4. 変形例

本発明は上述した実施形態に限定されるものではなく、例えば以下のように種々の変形が可能である。

(1) 上述した実施形態にあつては、必要とされる画像の階調度を2N(上記例ではN=3)とした時、N=3

個のサブフィールドを設ける方式について説明したが、 $2N=8$ 個のサブフィールドを設ける方式を採用してもよいことは言うまでもない。

【0056】(2) 上述した実施形態においては、遅延手段の具体例としてフレームメモリ350を用いたが、遅延手段はこれに限定されるものではなく、階調データD0～D2を1フレームだけ遅延させるFIFOバッファ等を用いてもよい。また、変換手段もルックアップテーブル352に限定されるものではなく、例えば階調データD0～D2とD0'～D2'に対して加減乗除等の演算処理を施し、演算結果として変換データDF0～DF3を出力する演算回路等によって構成してもよい。

【0057】(3) 上述した実施形態にあつては、交流化信号FRを1フレームの周期で極性反転することとしたが、本発明は、これに限られず、例えば、2フレーム以上の周期で極性反転する構成としても良い。ただし、上述した実施形態において、データ変換回路300は、スタートパルスDYをカウントするとともに、当該カウント結果を交流化信号FRの遷移によってリセットすることで、現状のサブフィールドを認識する構成としたので、交流化信号FRを2フレーム以上の周期で極性反転する場合には、フレームを規定するための何らかの信号を与える必要が生じる。

【0058】(4) 上記実施形態においては、画素が常時オンになるオン区間はサブフィールドSF0として1フレーム期間内に1回設けているが、複数回に分割して設けてもよい。また、オン区間だけでなく、画素が常時オフになるオフ区間を併せて設けても良い。このようにオン区間とオフ区間を両方設けることにより、1フレーム期間の長さを固定したままでオン区間の長さを調整することができるようになる。

【0059】(5) 上記実施形態において対向電極108に印加する駆動信号LCOMは零電位であったが、各画素に印加される電圧はトランジスタ116の特性、蓄積容量119や液晶の容量等によって、電圧がシフトする場合がある。この様な場合には、対向電極108に印加する駆動信号LCOMのレベルを電圧のシフト量に応じてずらしてもよい。

【0060】(6) また、上記実施形態においては、電気光学装置を構成する素子基板101をガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積してTFTを形成したが、本発明は、これに限られない。例えば、素子基板101を不透明な半導体基板によって構成し、画素電極118をアルミニウムなどの反射性金属から形成し、対向基板102をガラスなどから構成すると、電気光学装置100を反射型として用いることができる。

【0061】(7) さらに、上記実施形態は本発明を液晶を用いた電気光学装置に適用した例を説明したが、他の電気光学装置、特に、オンまたはオフの2値的な表示

を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。このような電気光学装置としてはエレクトロルミネッセンス装置やプラズマディスプレイなどが考えられる。特に有機ELの場合は、液晶のような交流駆動をする必要が無く、極性反転をしなくて良い。

【0062】(8) 上記実施形態においては、走査信号G1, G2, G3, …, G_mを順次排他的に出力することによって走査線112を上から順に選択する例を挙げたが、走査線112の選択順序はこれに限定されるものではなく、例えば走査信号を「G1, G11, G21, …, G2, G12, G22, …, G3, G13, G23, …」の如く、複数ライン毎に飛ばしながら出力し、1サブフィールド内で全ラインの走査線112を選択するようにしてもよい。

【0063】

【発明の効果】以上説明したように本発明によれば、各サブフィールド毎オンまたはオフ状態を規定することによって残像現象を抑制することができるから、残像現象を抑制するにあたって電圧等、アナログレベルの調整が不要になる。さらに、様々な電気光学物質に応じてオンまたはオフ状態を規定することによって、多種多様な電気光学物質に対して容易に適応させることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の電気光学装置の電気的構成を示すブロック図である。

【図2】 上記実施形態における画素の構成例を示す図である。

【図3】 上記実施形態におけるデータ変換回路300のブロック図である。

【図4】 上記実施形態におけるデータ線駆動回路140のブロック図である。

【図5】 上記実施形態における階調データと画素電極118への印加波形との関係を示す図である。

【図6】 上記実施形態における電気光学装置の構造図である。

【図7】 上記実施形態の電気光学装置のタイミングチャートである。

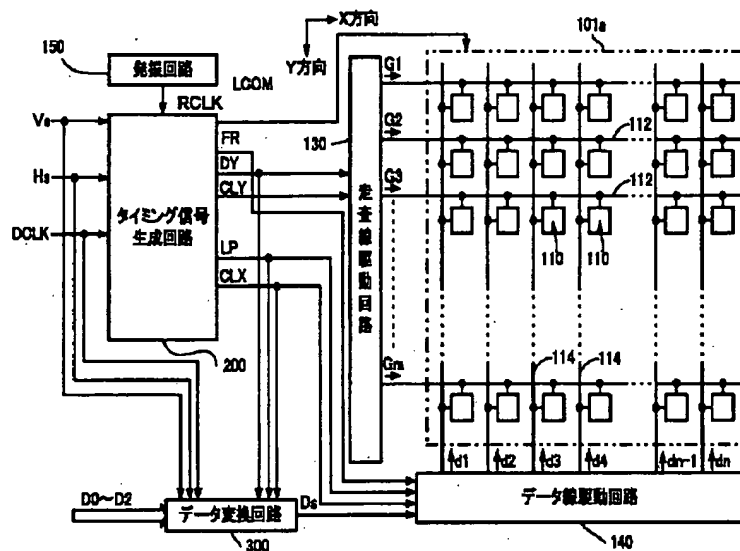
【図8】 同電気光学装置を適用した各種電子機器の例を示す図である。

【符号の説明】

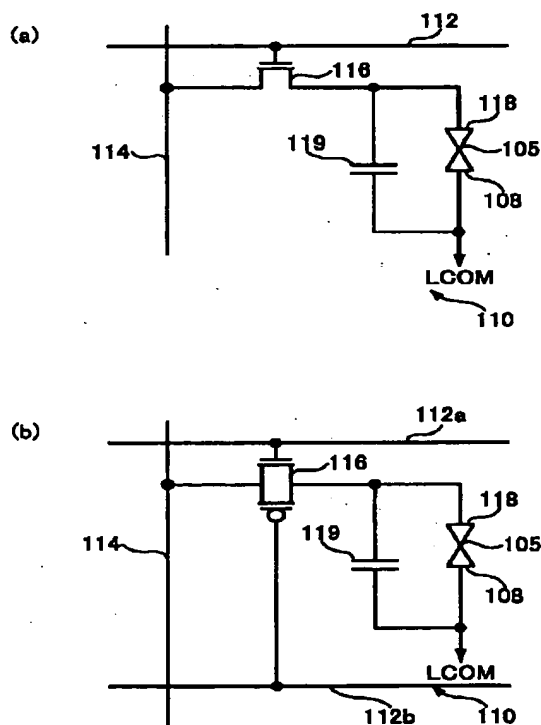
101……素子基板
101a……表示領域
105……液晶
108……対向電極
112……走査線
114……データ線
116……トランジスタ
118……画素電極
119……蓄積容量

- 130……走査線駆動回路
 140……データ線駆動回路
 150……発振回路
 200……タイミング信号生成回路
 300……データ変換回路
 350……フレームメモリ
 352……ルックアップテーブル
 354……フレームメモリ
 356……メモリ制御回路

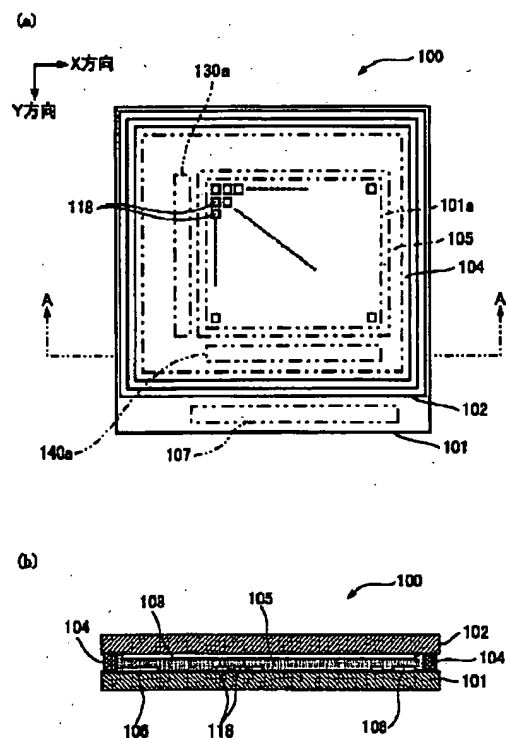
【図1】



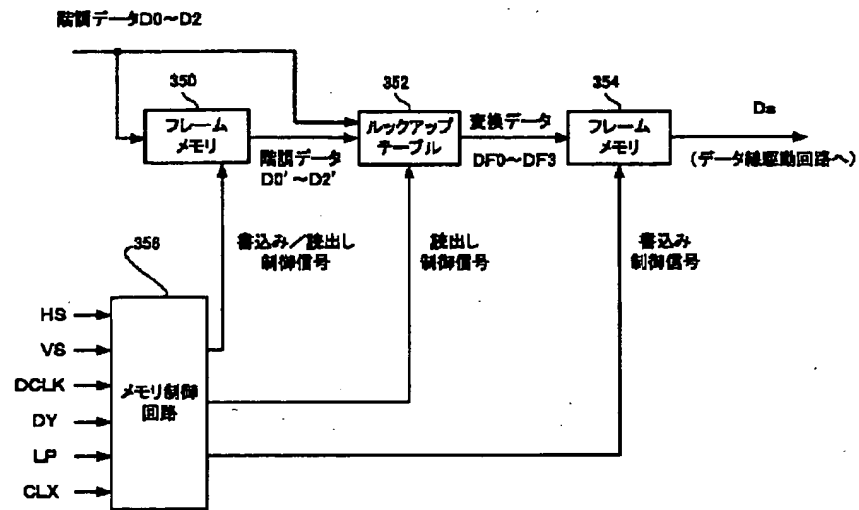
【図2】



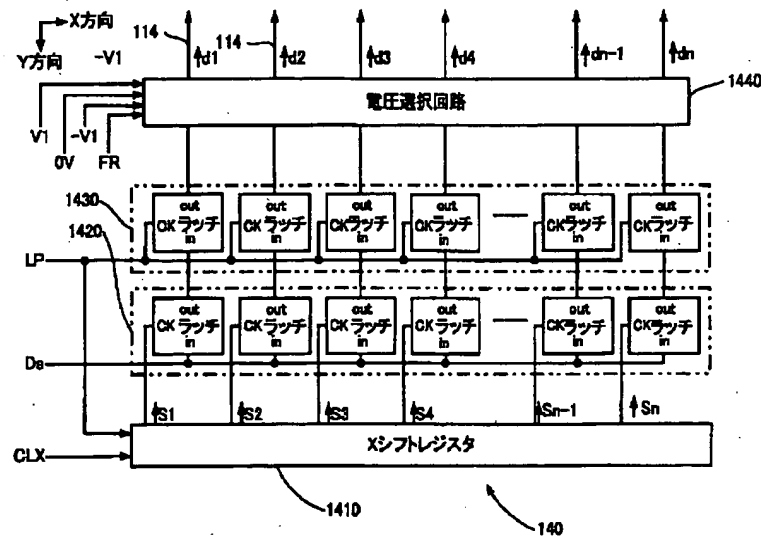
【図6】



【図3】



【図4】

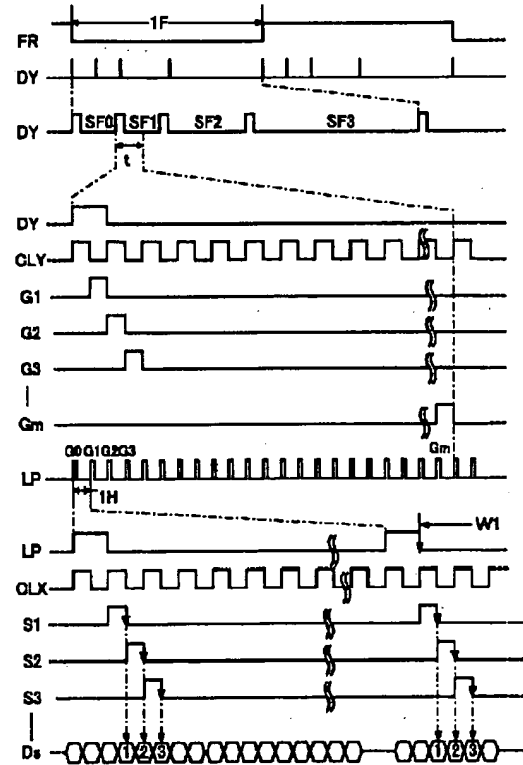


【図5】

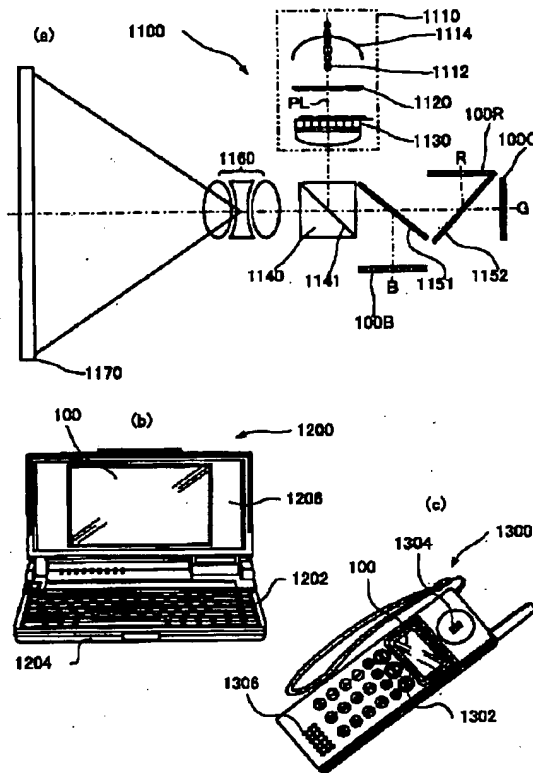
D2~	D0	実数データ			
D2~	D0	DF0	DF1	DF2	DF3
000	000	1	0	0	0
000	001	1	0	1	0
000	010	1	1	1	0
000	011	1	0	1	1
000	100	1	1	0	1
000	101	1	0	1	1
000	110	1	1	1	1
000	111	1	1	1	1
001	000	0	0	0	0
001	001	1	1	0	0
001	010	1	1	1	0
001	011	1	0	0	1
001	100	1	0	1	1
001	101	1	1	0	1
001	110	1	0	1	1
001	111	1	1	1	1
010	000	0	0	0	0
010	001	1	0	0	0
010	010	1	0	1	0
010	011	1	0	0	1
010	100	1	1	0	1
010	101	1	0	1	1
010	110	1	1	1	1
010	111	1	1	1	1
011	000	0	0	0	0
011	001	1	0	0	0
011	010	1	1	0	0
011	011	1	1	1	0
011	100	1	1	0	1
011	101	1	0	1	1
011	110	1	1	1	1
011	111	1	1	1	1

D2~	D0	実数データ			
D2~	D0	DF0	DF1	DF2	DF3
100	000	0	0	0	0
100	001	1	0	0	0
100	010	1	1	0	0
100	011	1	0	1	0
100	100	1	0	0	1
100	101	1	0	1	1
100	110	1	1	1	1
100	111	1	1	1	1
101	000	0	0	0	0
101	001	1	0	0	0
101	010	1	1	0	0
101	011	1	0	1	0
101	100	1	0	0	1
101	101	1	1	0	1
101	110	1	1	1	1
101	111	1	1	1	1
110	000	0	0	0	0
110	001	1	0	0	0
110	010	1	1	0	0
110	011	1	0	1	0
110	100	1	1	1	0
110	101	1	0	0	1
110	110	1	0	1	1
110	111	1	1	1	1
111	000	0	0	0	0
111	001	1	0	0	0
111	010	1	1	0	0
111	011	1	0	1	0
111	100	1	1	1	0
111	101	1	0	0	1
111	110	1	1	0	1
111	111	1	1	1	1

【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷

G09G 3/20

識別記号

641

FI

G09G 3/20

テマコード (参考)

641P

(72)発明者 小澤 裕

長野県諏訪市大和3丁目3番5号 セイコ
ーエブソン株式会社内

(72)発明者 石井 良

長野県諏訪市大和3丁目3番5号 セイコ
ーエブソン株式会社内

Fターム(参考) 2H093 NA16 NA31 NA55 NC16 NC22

NC23 NC26 NC29 NC34 ND06

ND08 ND17 ND39 NE04 NE06

NF11

5C006 AA14 AF13 AF46 AF51 AF52

AF83 BB16 BC12 BC20 BF02

BF03 BF04 BF08 BF24 FA29

FA56

5C080 AA10 BB05 DD05 DD06 EE29

FF11 JJ02 JJ03 JJ04 JJ06